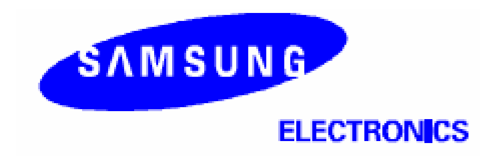
S3C2410X
32位RISC微处理器
用户手册

Revision 1

修订版**1**

第一章　产品概述



第一章 产品概述

简介

这个手册描述了 SAMSUNG 公司的 S3C2410X16/32 位 RISC 微处理器。这个产品计划用于低成本、低功耗和高性能手持设备和一般应用的单片微处理器解决方案。为了降低系统成本，S3C2410X 包含了如下部件：独立的 16KB 指令和 16KB 数据缓存，用于虚拟内存管理的 MMU 单元，LCD 控制器（STN & TFT)，非线性（NAND）Flash 引导单元，系统管理器（包括片选逻辑和 SDRAM 控制器），3 通道的异步串行口（UART），4 个通道的 DMA，4 个通道的带脉宽调制器（PWM）的定时器，输入输出端口，实时时钟单元（RTC），带有触摸屏接口的 8 通道 10 位 AD 转换器，IIC 总线接口，IIS 总线接口，USB 的主机（Host）单元，USB 的设备（Device）接口，SD 卡和 MMC（Multi-Media Card）卡接口，2 通道 SPI 接口和锁相环（PLL）时钟发生器。

S3C2410X 微处理器是使用 ARM920T 核、采用 0.18um 工艺 CMOS 标准宏单元和存储编译器开发的。

它的低功耗精简和出色的全静态设计特别适用于对成本和功耗敏感的应用。

应用中，它采用了一种新的总线结构，即高级微控制器总线结构（AMBA）。

S3C2410X 的杰出特性是它的 CPU 核，采用了由 ARM 公司设计的 16/32 位 ARM920T RISC 处理器。ARM920T 实现了 MMU、AMBA 总线和独立的 16KB 指令和 16KB 数据哈佛结构的缓存，每个缓存均为 8 个字长度的流水线。

S3C2410X 通过提供全面的、通用的片上外设，使系统的全部成本降到最低，并且不需要配置额外的部件。这个文档将包含以下完整的在片功能的介绍。

- 1.8V ARM920T内核，1.8V/2.5V/3.3V存储系统，带有3.3V16KB指令和16KB数据缓存及MMU单元的外部O接口的微处理器
- 外部存储器控制（SDRAM控制和芯片选择逻辑）
- LCD控制器（支持4K颜色的STN或256K色TFT的LCD），带有1个通道的LCD专用DMA控制器
- 4通道DMA，具有外部请求引脚
- 3通道UART（支持IrDA1.0，16字节发送FIFO及16字节接收FIFO）/2通道SPI接口
- 1个通道多主IIC总线控制器/1通道IIS总线控制器
- 1.0版本SD主机接口及2.11版本兼容的MMC卡协议
- 2个主机接口的USB口/1个设备USB口（1.1版本）
- 4通道PWM定时器/1通道内部计时器
- 看门狗定时器
- 117位通用目的I/O口/24通道外部中断源
- 电源控制：正常、慢速、空闲及电源关闭模式
- 带触摸屏接口的8通道10位ADC
- 带日历功能的实时时钟控制器
- 具有PLL的片上时钟发生器

特性

体系结构

- 集成了手持设备和通用嵌入式系统的解决方案
- 32/16位结构体系和ARM920T CPU核的强大指令体系
- 增强的ARM MMU体系结构支持WinCE, EPOC 32 和 Linux操作系统
- 指令缓存、数据缓存、写缓冲器和RAM物理地址标签减少了主存储器带宽和潜在性能的影响
- ARM920T CPU核支持ARM调试体系结构
- 内置的高级微控制总线体系结构（AMBA）（AMBA2.0，AHB/APB）

系统管理器

- 支持小/大端模式
- 寻址空间：每个bank 128M字节（总共1G字节）
- 支持每个bank可编程的8/16/32位数据总线宽度
- bank0到bank6具有固定的bank起始地址
- bank7具有可编程的bank起始地址和bank大小
- 共有8个存储器bank：
  —6个存储器bank用于ROM，SRAM及其它
  —2个存储器bank用于ROM/SRAM/同步DRAM
- 所有的存储器bank具有可编程的操作周期
- 支持外部等待信号延长总线周期
- 支持掉电时的SDRAM自刷新模式
- 支持多种类型的引导ROM（NOR/NAND Flash，EEPROM及其它）

NAND Flash 引导装载器

- 支持从NAND flash存储器引导
- 4KB内置缓冲存储器用于引导
- 支持引导后从NAND flash存储器向内存加载

缓冲存储器

- 带有指令缓存（16KB）和数据缓存（16KB）的联合缓存装置
- 每线8字长度，其中每线带有1个有效位和2个无效位
- 伪随机的或循环移位算法
- 写通过或写返回缓存来更新主存储器
- 新缓冲区能够保持16字的数据和4个地址

时钟和电源管理

- 在片MPLL和UPLL：
  UPLL时钟发生器用于主/从USB操作
  MPLL时钟发生器用于MCU在极限203MHz@1.8V运行
- 每一个功能块可以用软件选择时钟
- 电源模式：正常，慢速，空闲和掉电
  正常模式：正常操作模式
  满速模式：不带PLL的低频时钟
  空闲模式：始终仅使CPU停止下来
  掉电模式：所有外围设备全部掉电仅内核电源供电

- 可以从掉电模式借助于EINT[15：0]或RTC报警中断唤醒过来

中断控制

- 55个中断源（1个看门狗定时器，5个定时器，9个通用异步串行口，24个外部中断，4个DMA，2个RTC，2个USB，1个LCD和1个电池故障）
- 外部中断源具有电平/边沿模式
- 可编程极性的边沿触发或电平触发
- 在非常紧急中断的情况下支持快中断请求（FIQ）

带脉冲宽度调制器（PWM）的定时器

- 4通道16位带PWM的定时器/1通道16位基于DMA或基于中断操作的内部定时器
- 可编程的占空比，频率和极性
- 失效区发生器
- 支持外部时钟源

RTC（实时时钟）

- 全部时钟特点：毫秒，秒，分钟，小时）
- 32.768KHz操作
- 报警中断
- 定时中断

通用输入输出口：

- 24个外部中断口
- 多路输入输出口

通用串行异步通讯口（UART）

- 3通道基于DMA或基于中断操作的UART
- 支持5位、6位、7位或8位串行数据发送/接收（Tx/Rx）
- 可编程的波特率
- 支持IrDA 1.0
- 具有测试回送功能
- 每个通道有内置的16字节发送FIFO和16字节接收FIFO

DMA 控制器

- 4通道DMA控制器
- 支持存储器到存储器、IO到存储器、存储器到IO和IO到IO传输
- 突发传输模式增强了传输速率

带触摸屏接口的 A/D 转换器

- 8通道多路ADC
- 最大500KSPS转换速率10位分辨率

LCD 控制器 STN LCD 显示特点

- 支持3中类型STN LCD面板：4位双屏、4位单屏、8位单屏显示
- 支持单色模式、4级灰度、16级灰度、256色和4096色STN LCD
- 支持多种屏幕像素
  —典型的流行屏幕像素：640x480, 320x240,160x160等

—极限虚屏像素：4Mbytes
—极限虚屏像素在256色下
- 显示模式：4096x1024, 2048x2048, 1024x4096等

TFT 彩色显示特点

- 支持彩色TFT模式1、2、4或8bpp（位/像素）带调色板彩色显示
- 支持彩色TFT模式16bpp不带调色板真彩色显示
- 支持24bpp下最大16M 彩色TFT模式
- 支持多种屏幕像素
  —典型的流行屏幕像素：640x480、 320x240、160x160等
  —极限虚屏像素：4Mbytes
  —极限虚屏像素在64K色下
  2048 x1024等

看门狗定时器

- 16位看门狗定时器
- 超时时发出中断请求或系统复位

IIC 总线接口

- 1通道多主IIC总线
- 串行，能够在标准模式下达到100 Kbit/s或快速模式下达到400 Kbit/s 的8位单向和双向数据传输

IIS总线接口

- 1通道基于DMA的IIS总线用于音频接口
- 串行，8-/16位每通道数据传输
- 128字节（64字节+64字节）FIFO用于发送/接收
- 支持IIS格式和MSB验证数据格式

USB主机

- 2个USB主机口
- 遵守OHCI 1.0版
- 兼容USB1.1版本规范

USB设备

- 1个USB设备口
- 5端点USB设备
- 兼容USB1.1版本规范

SD主接口

- 与SD存储卡协议1.0版本兼容
- 与SDIO卡协议1.0版本兼容
- 具有字节FIFO用于发送/接收
- 基于DMA或基于中断模式操作
- 与多媒体卡2.11版本兼容

SPI接口

- 与2通道串行外部接口2.11版本协议兼容

- 2 x8位移位寄存器用于发送/接收
- 基于DMA或基于中断模式操作

工作电压范围
- 内核1.8V
- 存储器：2.5V/3.3V
- 输入/输出口：3.3V

工作频率
- 最大203MHZ

封装
- 272-FBGA

方框图

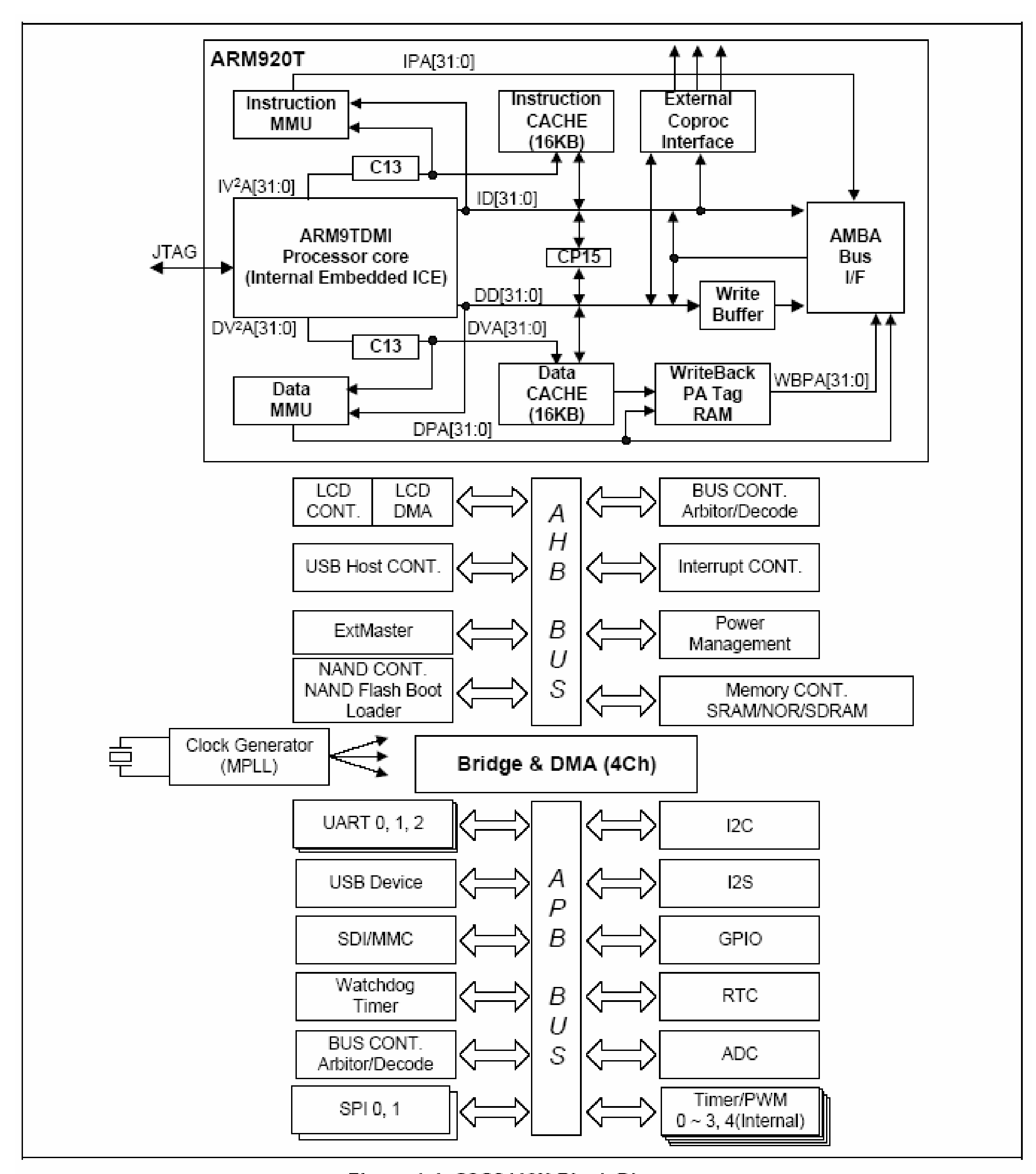


Figure 1-1. S3C2410X Block Diagram

引脚分配

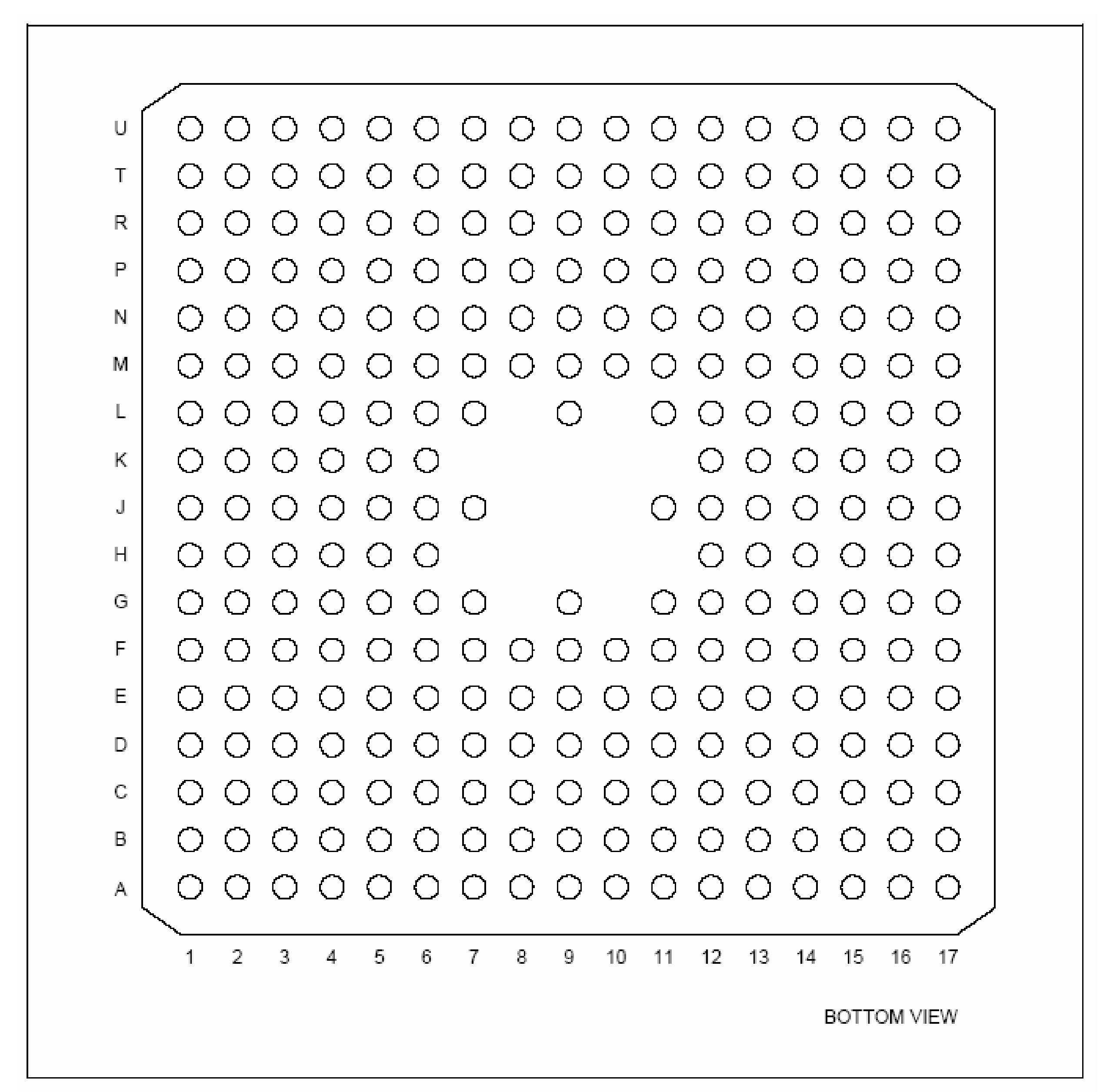


Figure 1-2. S3C2410X Pin Assignments (272-FBGA)

表1-1 272脚FBGA引脚分配——按引脚编号排序（图表3-1）

引脚号	引脚名	引脚号	引脚名	引脚号	引脚名
A1	DATA19	B14	ADDR0/GPA0	D10	ADDR19/GPA4
A2	DATA18	B15	nSRAS	D11	VDDi
A3	DATA16	B16	nBE1:nWBE1:DQM1	D12	ADDR10
A4	DATA15	B17	VSSi	D13	ADDR5
A5	DATA11	C1	DATA24	D14	ADDR1
A6	VDDMOP	C2	DATA23	D15	VSSMOP
A7	DATA6	C3	DATA21	D16	SCKE
A8	DATA1	C4	VDDi	D17	nGCS0
A9	ADDR21/GPA6	C5	DATA12	E1	DATA31
A10	ADDR16/GPA1	C6	DATA7	E2	DATA29
A11	ADDR13	C7	DATA4	E3	DATA28
A12	VSSMOP	C8	VDDi	E4	DATA30
A13	ADDR6	C9	ADDR25/GPA10	E5	VDDMOP
A14	ADDR2	C10	VSSMOP	E6	VSSMOP
A15	VDDMOP	C11	ADDR14	E7	DATA3
A16	nBE3:nWBE3:DQM3	C12	ADDR7	E8	ADDR26/GPA11
A17	nBE0:nWBE0:DQM0	C13	ADDR3	E9	ADDR23/GPA8
B1	DATA22	C14	nSCAS	E10	ADDR18/GPA3
B2	DATA20	C15	nBE2:nWBE2:DQM2	E11	VDDMOP
B3	DATA17	C16	nOE	E12	ADDR11
B4	VDDMOP	C17	VDDi	E13	nWE
B5	DATA13	D1	DATA27	E14	nGCS3/GPA14
B6	DATA9	D2	DATA25	E15	nGCS1/GPA12
B7	DATA5	D3	VSSMOP	E16	nGCS2/GPA13
B8	DATA0	D4	DATA26	E17	nGCS4/GPA15
B9	ADDR24/GPA9	D5	DATA14	F1	TOUT1/GPB1
B10	ADDR17/GPA2	D6	DATA10	F2	TOUT0/GPB0
B11	ADDR12	D7	DATA2	F3	VSSMOP
B12	ADDR8	D8	VDDMOP	F4	TOUT2/GPB2
B13	ADDR4	D9	ADDR22/GPA7	F5	VSSOP

表1-1 272脚FBGA引脚分配——按引脚编号排序（图表3-2）

引脚号	引脚名	引脚号	引脚名	引脚号	引脚名
F6	VSSi	H4	nXDREQ1/GPB8	K13	TXD2/nRTS1/GPH6
F7	DATA8	H5	nTRST	K14	RXD1/GPH5
F8	VSSMOP	H6	TCK	K15	TXD0/GPH2
F9	VSSi	H12	CLE/GPA17	K16	TXD1/GPH4
F10	ADDR20/GPA5	H13	VSSOP	K17	RXD0/GPH3
F11	VSSi	H14	VDDMOP	L1	VD0/GPC8
F12	VSSMOP	H15	VSSi	L2	VD1/GPC9
F13	SCLK0	H16	XTOpll	L3	LCDVF2/GPC7
F14	SCLK1	H17	XTIpll	L4	VD2/GPC10
F15	nGCS5/GPA16	J1	TDI	L5	VDDiarm
F16	nGCS6:nSCS0	J2	VCLK:LCD_HCLK/GPC1	L6	LCDVF1/GPC6
F17	nGCS7:nSCS1	J3	TMS	L7	IICSCL/GPE14
G1	nXBACK/GPB5	J4	LEND:STH/GPC0	L9	EINT11/nSS1/GPG3
G2	nXDACK1/GPB7	J5	TDO	L11	VDDi_UPLL
G3	TOUT3/GPB3	J6	VLINE:HSYNC:CPV/GPC2	L12	nRTS0/GPH1
G4	TCLK0/GPB4	J7	VSSiarm	L13	UPLLCAP
G5	nXBREQ/GPB6	J11	EXTCLK	L14	nCTS0/GPH0
G6	VDDalive	J12	nRESET	L15	EINT6/GPF6
G7	VDDiarm	J13	VDDi	L16	UCLK/GPH8
G9	VSSMOP	J14	VDDalive	L17	EINT7/GPF7
G11	ADDR15	J15	PWREN	M1	VSSiarm
G12	ADDR9	J16	nRSTOUT/GPA21	M2	VD5/GPC13
G13	nWAIT	J17	nBATT_FLT	M3	VD3/GPC11
G14	ALE/GPA18	K1	VDDOP	M4	VD4/GPC12
G15	nFWE/GPA19	K2	VM:VDEN:TP/GPC4	M5	VSSiarm
G16	nFRE/GPA20	K3	VDDiarm	M6	VDDOP
G17	nFCE/GPA22	K4	VFRAME:VSYNC:STV/GPC3	M7	VDDiarm
H1	VSSiarm	K5	VSSOP	M8	IICSDA/GPE15
H2	nXDACK0/GPB9	K6	LCDVF0/GPC5	M9	VSSiarm
H3	nXDREQ0/GPB10	K12	RXD2/nCTS1/GPH7	M10	DP1/PDP0

表1-1 272脚FBGA引脚分配——按引脚编号排序（图表3-3）

引脚号	引脚名	引脚号	引脚名	引脚号	引脚名
M11	EINT23/nYPON/GPG15	P8	SPICLK0/GPE13	T5	I2SLRCK/GPE0
M12	RTCVDD	P9	EINT12/LCD_PWREN/GPG4	T6	SDCLK/GPE5
M13	VSSi_MPLL	P10	EINT18/GPG10	T7	SPIMISO0/GPE11
M14	EINT5/GPF5	P11	EINT20/XMON/GPG12	T8	EINT10/nSS0/GPG2
M15	EINT4/GPF4	P12	VSSOP	T9	VSSOP
M16	EINT2/GPF2	P13	DP0	T10	EINT17/GPG9
M17	EINT3/GPF3	P14	VDDi_MPLL	T11	EINT22/YMON/GPG14
N1	VD6/GPC14	P15	VDDA_ADC	T12	DN0
N2	VD8/GPD0	P16	XTIrtc	T13	OM3
N3	VD7/GPC15	P17	MPLLCAP	T14	VSSA_ADC
N4	VD9/GPD1	R1	VDDiarm	T15	AIN1
N5	VDDiarm	R2	VD14/GPD6	T16	AIN3
N6	CDCLK/GPE2	R3	VD17/GPD9	T17	AIN5
N7	SDDAT1/GPE8	R4	VD18/GPD10	U1	VD15/GPD7
N8	VSSiarm	R5	VSSOP	U2	VD19/GPD11
N9	VDDOP	R6	SDDAT0/GPE7	U3	VD21/GPD13
N10	VDDiarm	R7	SDDAT3/GPE10	U4	VSSiarm
N11	DN1/PDN0	R8	EINT8/GPG0	U5	I2SSDI/nSS0/GPE3
N12	Vref	R9	EINT14/SPIMOSI1/GPG6	U6	I2SSDO/I2SSDI/GPE4
N13	AIN7	R10	EINT15/SPICLK1/GPG7	U7	SPIMOSI0/GPE12
N14	EINT0/GPF0	R11	EINT19/TCLK1/GPG11	U8	EINT9/GPG1
N15	VSSi_UPLL	R12	CLKOUT0/GPH9	U9	EINT13/SPIMISO1/GPG5
N16	VDDOP	R13	R/nB	U10	EINT16/GPG8
N17	EINT1/GPF1	R14	OM0	U11	EINT21/nXPON/GPG13
P1	VD10/GPD2	R15	AIN4	U12	CLKOUT1/GPH10
P2	VD12/GPD4	R16	AIN6	U13	NCON
P3	VD11/GPD3	R17	XTOrtc	U14	OM2
P4	VD23/nSS0/GPD15	T1	VD13/GPD5	U15	OM1
P5	I2SSCLK/GPE1	T2	VD16/GPD8	U16	AIN0
P6	SDCMD/GPE6	T3	VD20/GPD12	U17	AIN2
P7	SDDAT2/GPE9	T4	VD22/nSS1/GPD14	-	-

表1-2 272脚FPGA引脚分配（图表9-1）

引脚号	引脚名	默认功能	I/O状态 @BUS REQ	I/O状态 @PWR-off	I/O状态 @nRESET	I/O 类型
C3	DATA21	DATA21	Hi-z	Hi-z	I	t12
B1	DATA22	DATA22	Hi-z	Hi-z	I	t12
C2	DATA23	DATA23	Hi-z	Hi-z	I	t12
D3	VSSMOP	VSSMOP	P	P	P	s3o
E5	VDDMOP	VDDMOP	P	P	P	d3o
C1	DATA24	DATA24	Hi-z	Hi-z	I	t12
D2	DATA25	DATA25	Hi-z	Hi-z	I	t12
D4	DATA26	DATA26	Hi-z	Hi-z	I	t12
D1	DATA27	DATA27	Hi-z	Hi-z	I	t12
E3	DATA28	DATA28	Hi-z	Hi-z	I	t12
E2	DATA29	DATA29	Hi-z	Hi-z	I	t12
E4	DATA30	DATA30	Hi-z	Hi-z	I	t12
E1	DATA31	DATA31	Hi-z	Hi-z	I	t12
F3	VSSMOP	VSSMOP	P	P	P	s3o
F5	VSSOP	VSSOP	P	P	P	s3o
F2	TOUT0/GPB0	GPB0	－/－	O(L)/－	I	t8
F1	TOUT1/GPB1	GPB1	－/－	O(L)/－	I	t8
F4	TOUT2/GPB2	GPB2	－/－	O(L)/－	I	t8
G3	TOUT3/GPB3	GPB3	－/－	O(L)/－	I	t8
G4	TCLK0/GPB4	GPB4	－/－	－/－	I	t8
G1	nXBACK/GPB5	GPB5	－/－	－/－	I	t8
G5	nXBREQ/GPB6	GPB6	－/－	－/－	I	t8
G2	nXDACK1/GPB7	GPB7	－/－	－/－	I	t8
G6	VDDalive	VDDalive	P	P	P	d1i
G7	VDDiarm	VDDiarm	P	P	P	d1c
H1	VSSiarm	VSSiarm	P	P	P	s3i
H4	nXDREQ1/GPB8	GPB8	－/－	－/－	I	t8
H2	nXDACK0/GPB9	GPB9	－/－	－/－	I	t8
H3	nXDREQ0/GPB10	GPB10	－/－	－/－	I	t8
H5	nTRST	nTRST	I	I	I	is
H6	TCK	TCK	I	I	I	is
J1	TDI	TDI	I	I	I	is
J3	TMS	TMS	I	I	I	is

表1-2 272脚FPGA引脚分配（图表9-2）

引脚号	引脚名	默认功能	I/O状态 @BUS REQ	I/O状态 @PWR-off	I/O状态 @nRESET	I/O 类型
J5	TDO	TDO	O	O	O	ot
J4	LEND:STH/GPC0	GPC0	－/－	O(L)/－	I	t8
J2	VCLK:LCD_HCLK/GPC1	GPC1	－/－	O(L)/－	I	t8
J6	VLINE:HSYNC:CPV/GPC2	GPC2	－/－	O(L)/－	I	t8
K3	VDDiarm	VDDiarm	P	P	P	d1c
J7	VSSiarm	VSSiarm	P	P	P	s3i
K2	VM:VDEN:TP/GPC4	GPC4	－/－	O(L)/－	I	t8
K4	VFRAME:VSYNC:STV/GPC3	GPC3	－/－	O(L)/－	I	t8
K1	VDDOP	VDDOP	P	P	P	d3o
K5	VSSOP	VSSOP	P	P	P	s3o
K6	LCDVF0/GPC5	GPC5	－/－	O(L)/－	I	t8
L6	LCDVF1/GPC6	GPC6	－/－	O(L)/－	I	t8
L3	LCDVF2/GPC7	GPC7	－/－	O(L)/－	I	t8
L1	VD0/GPC8	GPC8	－/－	O(L)/－	I	t8
L2	VD1/GPC9	GPC9	－/－	O(L)/－	I	t8
L4	VD2/GPC10	GPC10	－/－	O(L)/－	I	t8
M3	VD3/GPC11	GPC11	－/－	O(L)/－	I	t8
L5	VDDiarm	VDDiarm	P	P	P	d1c
M1	VSSiarm	VSSiarm	P	P	P	s3i
M4	VD4/GPC12	GPC12	－/－	O(L)/－	I	t8
M2	VD5/GPC13	GPC13	－/－	O(L)/－	I	t8
N1	VD6/GPC14	GPC14	－/－	O(L)/－	I	t8
N3	VD7/GPC15	GPC15	－/－	O(L)/－	I	t8
N2	VD8/GPD0	GPD0	－/－	O(L)/－	I	t8
N4	VD9/GPD1	GPD1	－/－	O(L)/－	I	t8
P1	VD10/GPD2	GPD2	－/－	O(L)/－	I	t8
P3	VD11/GPD3	GPD3	－/－	O(L)/－	I	t8
P2	VD12/GPD4	GPD4	－/－	O(L)/－	I	t8
R1	VDDiarm	VDDiarm	P	P	P	d1c
M5	VSSiarm	VSSiarm	P	P	P	s3i
T1	VD13/GPD5	GPD5	－/－	O(L)/－	I	t8
R2	VD14/GPD6	GPD6	－/－	O(L)/－	I	t8
U1	VD15/GPD7	GPD7	－/－	O(L)/－	I	t8

表1-2 272脚FPGA引脚分配（图表9-3）

引脚号	引脚名	默认功能	I/O状态 @BUS REQ	I/O状态 @PWR-off	I/O状态 @nRESET	I/O 类型
T2	VD16/GPD8	GPD8	－/－	O(L)/－	I	t8
R3	VD17/GPD9	GPD9	－/－	O(L)/－	I	t8
R4	VD18/GPD10	GPD10	－/－	O(L)/－	I	t8
U2	VD19/GPD11	GPD11	－/－	O(L)/－	I	t8
T3	VD20/GPD12	GPD12	－/－	O(L)/－	I	t8
U3	VD21/GPD13	GPD13	－/－	O(L)/－	I	t8
T4	VD22/nSS1/GPD14	GPD14	－/－	O(L)/－	I	t8
P4	VD23/nSS0/GPD15	GPD15	－/－	O(L)/－	I	t8
N5	VDDiarm	VDDiarm	P	P	P	d1c
U4	VSSiarm	VSSiarm	P	P	P	s3i
M6	VDDOP	VDDOP	P	P	P	d3o
R5	VSSOP	VSSOP	P	P	P	s3o
T5	I2SLRCK/GPE0	GPE0	－/－	O(L)/－	I	t8
P5	I2SSCLK/GPE1	GPE1	－/－	O(L)/－	I	t8
N6	CDCLK/GPE2	GPE2	－/－	O(L)/－	I	t8
U5	I2SSDI/nSS0/GPE3	GPE3	－/－/－	－/－/－	I	t8
U6	I2SSDO/I2SSDI/GPE4	GPE4	－/－/－	O(L)/－/－	I	t8
T6	SDCLK/GPE5	GPE5	－/－	O(L)/－	I	t8
P6	SDCMD/GPE6	GPE6	－/－	Hi-z/－	I	t8
R6	SDDAT0/GPE7	GPE7	－/－	Hi-z/－	I	t8
N7	SDDAT1/GPE8	GPE8	－/－	Hi-z/－	I	t8
P7	SDDAT2/GPE9	GPE9	－/－	Hi-z/－	I	t8
R7	SDDAT3/GPE10	GPE10	－/－	Hi-z/－	I	t8
T7	SPIMISO0/GPE11	GPE11	－/－	Hi-z/－	I	t8
U7	SPIMOSI0/GPE12	GPE12	－/－	Hi-z/－	I	t8
P8	SPICLK0/GPE13	GPE13	－/－	Hi-z/－	I	t8
M7	VDDiarm	VDDiarm	P	P	P	d1c
N8	VSSiarm	VSSiarm	P	P	P	s3i
L7	IICSCL/GPE14	GPE14	－/－	Hi-z/－	I	d8
M8	IICSDA/GPE15	GPE15	－/－	Hi-z/－	I	d8
R8	EINT8/GPG0	GPG0	－/－	－/－	I	t8
U8	EINT9/GPG1	GPG1	－/－	－/－	I	t8
T8	EINT10/nSS0/GPG2	GPG2	－/－/－	－/－/－	I	t8

表1-2 272脚FPGA引脚分配（图表9-4）

引脚号	引脚名	默认功能	I/O状态 @BUS REQ	I/O状态 @PWR-off	I/O状态 @nRESET	I/O 类型
L9	EINT11/nSS1/GPG3	GPG3	－/－/－	－/－/－	I	t8
P9	EINT12/LCD_PWREN/GPG4	GPG4	－/－/－	－/O(L)/－	I	t8
U9	EINT13/SPIMISO1/GPG5	GPG5	－/－/－	－/Hi-z/－	I	t8
R9	EINT14/SPIMOSI1/GPG6	GPG6	－/－/－	－/Hi-z/－	I	t8
T9	VSSOP	VSSOP	P	P	P	s3o
N9	VDDOP	VDDOP	P	P	P	d3o
N10	VDDiarm	VDDiarm	P	P	P	d1c
M9	VSSiarm	VSSiarm	P	P	P	s3i
R10	EINT15/SPICLK1/GPG7	GPG7	－/－/－	－/Hi-z/－	I	t8
U10	EINT16/GPG8	GPG8	－/－	－/－	I	t6
T10	EINT17/GPG9	GPG9	－/－	－/－	I	t6
P10	EINT18/GPG10	GPG10	－/－	－/－	I	t6
R11	EINT19/TCLK1/GPG11	GPG11	－/－/－	－/－/－	I	t12
P11	EINT20/XMON/GPG12	GPG12	－/－/－	－/O(L)/－	I	t12
U11	EINT21/nXPON/GPG13	GPG13	－/－/－	－/O(L)/－	I	t12
T11	EINT22/YMON/GPG14	GPG14	－/－/－	－/O(L)/－	I	t12
M11	EINT23/nYPON/GPG15	GPG15	－/－/－	－/O(L)/－	I	t12
R12	CLKOUT0/GPH9	GPH9	－/－	O(L)/－	I	t12
U12	CLKOUT1/GPH10	GPH10	－/－	O(L)/－	I	t12
M10	DP1/PDP0	DP1	－	－	AI	us
N11	DN1/PDN0	DN1	－	－	AI	us
P13	DP0	DP0	－	－	AI	us
T12	DN0	DN0	－	－	AI	us
U13	NCON	NCON	－	－	I	is
R13	R/nB	R/nB	－	－	I	is
T13	OM3	OM3	－	－	I	is
U14	OM2	OM2	－	－	I	is
U15	OM1	OM1	－	－	I	is
R14	OM0	OM0	－	－	I	is
P12	VSSOP	VSSOP	P	P	P	s3o
T14	VSSA_ADC	VSSA_ADC	P	P	P	s3t
N12	Vref	Vref	－	－	AI	ia
U16	AIN0	AIN0	－	－	AI	r10

表1-2 272脚FPGA引脚分配（图表9-5）

引脚号	引脚名	默认功能	I/O状态 @BUS REQ	I/O状态 @PWR-off	I/O状态 @nRESET	I/O 类型
T15	AIN1	AIN1	－	－	AI	r10
U17	AIN2	AIN2	－	－	AI	r10
T16	AIN3	AIN3	－	－	AI	r10
R15	AIN4	AIN4	－	－	AI	r10
T17	AIN5	AIN5	－	－	AI	r10
R16	AIN6	AIN6	－	－	AI	r10
N13	AIN7	AIN7	－	－	AI	r10
P15	VDDA_ADC	VDDA_ADC	P	P	P	d3t
R17	XTOrtc	XTOrtc	－	－	AO	gp
P16	XTIrtc	XTIrtc	－	－	AI	gp
M12	RTCVDD	RTCVDD	P	P	P	d1i
P14	VDDi_MPLL	VDDi_MPLL	P	P	P	d1c
M13	VSSi_MPLL	VSSi_MPLL	P	P	P	s3i
P17	MPLLCAP	MPLLCAP	－	－	AI	gp
L11	VDDi_UPLL	VDDi_UPLL	P	P	P	d1c
N15	VSSi_UPLL	VSSi_UPLL	P	P	P	s3i
L13	UPLLCAP	UPLLCAP	－	－	AI	gp
N16	VDDOP	VDDOP	P	P	P	d3o
N14	EINT0/GPF0	GPF0	－/－	－/－	I	t8
N17	EINT1/GPF1	GPF1	－/－	－/－	I	t8
M16	EINT2/GPF2	GPF2	－/－	－/－	I	t8
M17	EINT3/GPF3	GPF3	－/－	－/－	I	t8
M15	EINT4/GPF4	GPF4	－/－	－/－	I	t8
M14	EINT5/GPF5	GPF5	－/－	－/－	I	t8
L15	EINT6/GPF6	GPF6	－/－	－/－	I	t8
L17	EINT7/GPF7	GPF7	－/－	－/－	I	t8
L16	UCLK/GPH8	GPH8	－/－	－/－	I	t8
L14	nCTS0/GPH0	GPH0	－/－	－/－	I	t8
L12	nRTS0/GPH1	GPH1	－/－	O(H)/－	I	t8
K15	TXD0/GPH2	GPH2	－/－	O(H)/－	I	t8
K17	RXD0/GPH3	GPH3	－/－	－/－	I	t8
K16	TXD1/GPH4	GPH4	－/－	O(H)/－	I	t8
K14	RXD1/GPH5	GPH5	－/－	－/－	I	t8

表1-2 272脚FPGA引脚分配（图表9-6）

引脚号	引脚名	默认功能	I/O状态 @BUS REQ	I/O状态 @PWR-off	I/O状态 @nRESET	I/O 类型
K13	TXD2/nRTS1/GPH6	GPH6	－/－	O(H)/－	I	t8
K12	RXD2/nCTS1/GPH7	GPH7	－/－	－/－	I	t8
J17	nBATT_FLT	nBATT_FLT	－	－	I	is
J16	nRSTOUT/GPA21	nRSTOUT	－/－	O(L)/－	O	b8
J15	PWREN	PWREN	O(H)	O(L)	O	b8
J12	nRESET	nRESET	－	－	I	is
J14	VDDalive	VDDalive	P	P	P	d1i
J11	EXTCLK	EXTCLK	－	－	AI	is
J13	VDDi	VDDi	P	P	P	d1c
H17	XTIpll	XTIpll	－	－	AI	m26
H16	XTOpll	XTOpll	－	－	AO	m26
H15	VSSi	VSSi	P	P	P	s3i
H13	VSSOP	VSSOP	P	P	P	s3o
H14	VDDMOP	VDDMOP	P	P	P	d3o
G17	nFCE/GPA22	nFCE	O(H)/－	O(H)/－	O	b8
G16	nFRE/GPA20	nFRE	O(H)/－	O(H)/－	O	b8
G15	nFWE/GPA19	nFWE	O(H)/－	O(H)/－	O	b8
G14	ALE/GPA18	ALE	O(L)/－	O(L)/－	O	b8
H12	CLE/GPA17	CLE	O(L)/－	O(L)/－	O	b8
G13	nWAIT	nWAIT	－	－	I	is
F17	nGCS7:nSCS1	nGCS7	Hi-z	O(H)	O	ot
F16	nGCS6:nSCS0	nGCS6	Hi-z	O(H)	O	ot
F15	nGCS5/GPA16	nGCS5	Hi-z	O(H)/－	O	ot
E17	nGCS4/GPA15	nGCS4	Hi-z	O(H)/－	O	ot
E14	nGCS3/GPA14	nGCS3	Hi-z	O(H)/－	O	ot
E16	nGCS2/GPA13	nGCS2	Hi-z	O(H)/－	O	ot
E15	nGCS1/GPA12	nGCS1	Hi-z	O(H)/－	O	ot
D17	nGCS0	nGCS0	Hi-z	O(H)	O	ot
D16	SCKE	SCKE	Hi-z	O(L)	O	ot
D15	VSSMOP	VSSMOP	P	P	P	s3o
F14	SCLK1	SCLK1	Hi-z	O(L)	O	t16
C17	VDDi	VDDi	P	P	P	d1c
F13	SCLK0	SCLK0	Hi-z	O(L)	O	t16

表1-2 272脚FPGA引脚分配（图表9-7）

引脚号	引脚名	默认功能	I/O状态 @BUS REQ	I/O状态 @PWR-off	I/O状态 @nRESET	I/O 类型
B17	VSSi	VSSi	P	P	P	s3i
E13	nWE	nWE	Hi-z	O(H)	O(H)	ot
C16	nOE	nOE	Hi-z	O(H)	O(H)	ot
A17	nBE0:nWBE0:DQM0	DQM0	Hi-z	O(H)	O(H)	ot
B16	nBE1:nWBE1:DQM1	DQM1	Hi-z	O(H)	O(H)	ot
C15	nBE2:nWBE2:DQM2	DQM2	Hi-z	O(H)	O(H)	ot
A16	nBE3:nWBE3:DQM3	DQM3	Hi-z	O(H)	O(H)	ot
B15	nSRAS	nSRAS	Hi-z	O(H)	O(H)	ot
C14	nSCAS	nSCAS	Hi-z	O(H)	O(H)	ot
A15	VDDMOP	VDDMOP	P	P	P	d3o
F12	VSSMOP	VSSMOP	P	P	P	s3o
B14	ADDR0/GPA0	ADDR0	Hi-z/－	O(L)/－	O(L)	ot
D14	ADDR1	ADDR1	Hi-z	O(L)	O(L)	ot
A14	ADDR2	ADDR2	Hi-z	O(L)	O(L)	ot
C13	ADDR3	ADDR3	Hi-z	O(L)	O(L)	ot
B13	ADDR4	ADDR4	Hi-z	O(L)	O(L)	ot
D13	ADDR5	ADDR5	Hi-z	O(L)	O(L)	ot
A13	ADDR6	ADDR6	Hi-z	O(L)	O(L)	ot
C12	ADDR7	ADDR7	Hi-z	O(L)	O(L)	ot
B12	ADDR8	ADDR8	Hi-z	O(L)	O(L)	ot
G12	ADDR9	ADDR9	Hi-z	O(L)	O(L)	ot
A12	VSSMOP	VSSMOP	P	P	P	s3o
E11	VDDMOP	VDDMOP	P	P	P	d3o
D12	ADDR10	ADDR10	Hi-z	O(L)	O(L)	ot
E12	ADDR11	ADDR11	Hi-z	O(L)	O(L)	ot
D11	VDDi	VDDi	P	P	P	d1c
F11	VSSi	VSSi	P	P	P	s3i
B11	ADDR12	ADDR12	Hi-z	O(L)	O(L)	ot
A11	ADDR13	ADDR13	Hi-z	O(L)	O(L)	ot
C11	ADDR14	ADDR14	Hi-z	O(L)	O(L)	ot
G11	ADDR15	ADDR15	Hi-z	O(L)	O(L)	ot
A10	ADDR16/GPA1	ADDR16	Hi-z	O(L)/－	O(L)	ot
B10	ADDR17/GPA2	ADDR17	Hi-z	O(L)/－	O(L)	ot

表1-2 272脚FPGA引脚分配（图表9-8）

引脚号	引脚名	默认功能	I/O状态 @BUS REQ	I/O状态 @PWR-off	I/O状态 @nRESET	I/O 类型
C10	VSSMOP	VSSMOP	P	P	P	s3o
E10	ADDR18/GPA3	ADDR18	Hi-z/－	O(L)	O(L)	ot
D10	ADDR19/GPA4	ADDR19	Hi-z/－	O(L)	O(L)	ot
F10	ADDR20/GPA5	ADDR20	Hi-z/－	O(L)	O(L)	ot
A9	ADDR21/GPA6	ADDR21	Hi-z/－	O(L)	O(L)	ot
D9	ADDR22/GPA7	ADDR22	Hi-z/－	O(L)	O(L)	ot
E9	ADDR23/GPA8	ADDR23	Hi-z/－	O(L)	O(L)	ot
B9	ADDR24/GPA9	ADDR24	Hi-z/－	O(L)	O(L)	ot
C9	ADDR25/GPA10	ADDR25	Hi-z/－	O(L)	O(L)	ot
E8	ADDR26/GPA11	ADDR26	Hi-z/－	O(L)	O(L)	ot
C8	VDDi	VDDi	P	P	P	d1c
F9	VSSi	VSSi	P	P	P	s3i
D8	VDDMOP	VDDMOP	P	P	P	d3o
G9	VSSMOP	VSSMOP	P	P	P	s3o
B8	DATA0	DATA0	Hi-z	Hi-z	Hi-z	t12
A8	DATA1	DATA1	Hi-z	Hi-z	Hi-z	t12
D7	DATA2	DATA2	Hi-z	Hi-z	Hi-z	t12
E7	DATA3	DATA3	Hi-z	Hi-z	Hi-z	t12
C7	DATA4	DATA4	Hi-z	Hi-z	Hi-z	t12
B7	DATA5	DATA5	Hi-z	Hi-z	Hi-z	t12
A7	DATA6	DATA6	Hi-z	Hi-z	Hi-z	t12
C6	DATA7	DATA7	Hi-z	Hi-z	Hi-z	t12
A6	VDDMOP	VDDMOP	P	P	P	d3o
F8	VSSMOP	VSSMOP	P	P	P	s3o
F7	DATA8	DATA8	Hi-z	Hi-z	Hi-z	t12
B6	DATA9	DATA9	Hi-z	Hi-z	Hi-z	t12
D6	DATA10	DATA10	Hi-z	Hi-z	Hi-z	t12
A5	DATA11	DATA11	Hi-z	Hi-z	Hi-z	t12
C5	DATA12	DATA12	Hi-z	Hi-z	Hi-z	t12
B5	DATA13	DATA13	Hi-z	Hi-z	Hi-z	t12
D5	DATA14	DATA14	Hi-z	Hi-z	Hi-z	t12
A4	DATA15	DATA15	Hi-z	Hi-z	Hi-z	t12
B4	VDDMOP	VDDMOP	P	P	P	d3o

表1-2 272脚FPGA引脚分配（图表9-9）

引脚号	引脚名	默认功能	I/O状态 @BUS REQ	I/O状态 @PWR-off	I/O状态 @nRESET	I/O 类型
E6	VSSMOP	VSSMOP	P	P	P	s3o
C4	VDDi	VDDi	P	P	P	d1c
F6	VSSi	VSSi	P	P	P	s3i
A3	DATA16	DATA16	Hi-z	Hi-z	Hi-z	t12
B3	DATA17	DATA17	Hi-z	Hi-z	Hi-z	t12
A2	DATA18	DATA18	Hi-z	Hi-z	Hi-z	t12
A1	DATA19	DATA19	Hi-z	Hi-z	Hi-z	t12
B2	DATA20	DATA20	Hi-z	Hi-z	Hi-z	t12

备注：

1. The @BUS REQ. shows the pin states at the external bus, which is used by the other bus master.
2. “- ”标志说明在总线请求模式下引脚状态没有变化。
3. Hi-z or Pre means Hi-z or Previous state and it is determined by the setting of MISCCR register.
4. AI/AO 代表模拟量输入/模拟量输出。
5. P、I和O分别代表电源、输入和输出。
6. @nRESET的I/O状态表示引脚在@nRESET如下所示@nRESET持续时的状态

